

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number :

2000-216273

(43)Date of publication of application : 04.08.2000

(51)Int.Cl.

H01L 21/8247

H01L 29/788

H01L 29/792

H01L 27/115

(21)Application number : 11-015949

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 25.01.1999

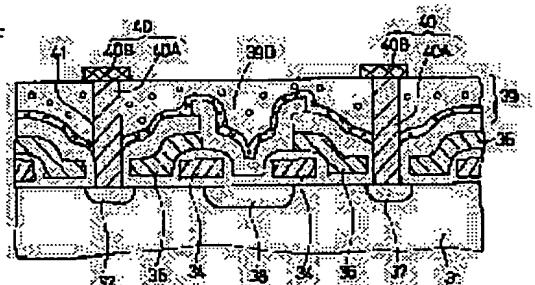
(72)Inventor : OZEKI KAZUYUKI
OTANI YUKIHIRO
KITATSUME KAZUTOSHI
AZEGAMI HIDEO

(54) NONVOLATILE SEMICONDUCTOR STORAGE DEVICE AND MANUFACTURE OF THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To prolong the operation life of a memory cell.

SOLUTION: A barrier film of a silicon nitride film 39D is set under an interlayer insulating film 39, comprising an SOG film which coats a floating gate 34 and a control gate 36, etc., so that even if H or OH contained in the SOG film diffuses, it will not be trapped by a tunnel oxide film for improved trap up rate.



LEGAL STATUS

[Date of request for examination] 25.04.2001

[Date of sending the examiner's decision of rejection] 07.10.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The floating gate formed on the silicon substrate of one conductivity type, and the insulator layer which covers this floating gate, The control gate formed so that it may have the field which laps on said floating gate through this insulator layer, The diffusion field of the reverse conductivity type formed in the front face of said silicon substrate which adjoins said floating gate and said control gate, The non-volatile semiconductor memory characterized by forming the barrier film which changes from a silicon nitride to said interlayer insulation film lower layer in the non-volatile semiconductor memory equipped with metal wiring connected to said diffusion field through the interlayer insulation film which contains the SOG film at least.

[Claim 2] The floating gate formed on the silicon substrate of one conductivity type, and the tunnel oxide film which covers said floating gate, The control gate formed so that it may have the field which laps on said floating gate through said tunnel oxide film, The diffusion field of the reverse conductivity type formed in the front face of said silicon substrate which adjoins said floating gate and said control gate, The silicon nitride formed so that said floating gate and said control gate might be covered, The non-volatile semiconductor memory characterized by providing metal wiring connected to said diffusion field through the interlayer insulation film which was formed on said silicon nitride, and which contains the SOG film at least.

[Claim 3] The floating gate formed on the silicon substrate of one conductivity type, and the tunnel oxide film with which nitriding treatment which covers said floating gate was performed, The control gate formed so that it may have the field which laps on said floating gate through said tunnel oxide film, The diffusion field of the reverse conductivity type formed in the front face of said silicon substrate which adjoins said floating gate and said control gate, The silicon nitride formed so that said floating gate and said control gate might be covered, The non-volatile semiconductor memory characterized by providing metal wiring connected to said diffusion field through the interlayer insulation film which was formed on said silicon nitride, and which contains the SOG film at least.

[Claim 4] The floating gate formed on the silicon substrate of one conductivity type, and the insulator layer which covers this floating gate, The control gate formed so that it may have the field which laps on said floating gate through this insulator layer, The diffusion field of the reverse conductivity type formed in the front face of said silicon substrate which adjoins said floating gate and said control gate, In the manufacture approach of the non-volatile semiconductor memory equipped with metal wiring connected to said diffusion field through the interlayer insulation film which contains the SOG film at least The manufacture approach of the non-volatile semiconductor memory characterized by what the process which forms the barrier film which changes from a silicon nitride to said interlayer insulation film lower layer possesses.

[Claim 5] The process which oxidizes thermally the front face of the silicon substrate of one conductivity type, and forms gate oxide, The process which carries out patterning of this 1st electric conduction film, and forms the floating gate after forming the 1st electric conduction film on said gate oxide, The process which forms a tunnel oxide film so that said floating gate may be covered, The process which forms the control gate so that it may have the field which carries out patterning of this

2nd electric conduction film, and laps on said floating gate through a tunnel oxide film after forming the 2nd electric conduction film on said tunnel oxide film, The process which forms the diffusion field of a reverse conductivity type in the front face of said silicon substrate which adjoins said floating gate and said control gate, The process which forms a silicon nitride so that said floating gate and said control gate may be covered, The process which forms the interlayer insulation film in which flattening was carried out by the etchback process of the SOG film at least on said silicon nitride, The manufacture approach of the non-volatile semiconductor memory characterized by providing the process which forms in said diffusion field metal wiring which makes contact connection through the contact hole formed in said interlayer insulation film.

[Claim 6] The process which oxidizes thermally the front face of the silicon substrate of one conductivity type, and forms gate oxide, The process which carries out selective oxidation of said 1st electric conduction film according to said opening, and forms the selective oxidation film after forming the 1st electric conduction film on said gate oxide and forming the anti-oxidation film which has opening of a predetermined pattern on this 1st electric conduction film, The process which forms the floating gate which uses said selective oxidation film as a mask, etches said 1st electric conduction film, and has an acute corner in the upper part, The process which forms a tunnel oxide film so that said floating gate may be covered, The process which forms the control gate so that it may have the field which carries out patterning of this 2nd electric conduction film, and laps on said floating gate through a tunnel oxide film after forming the 2nd electric conduction film on said tunnel oxide film, The process which forms the diffusion field of a reverse conductivity type in the front face of said silicon substrate which adjoins said floating gate and said control gate, The process which forms a silicon nitride so that said floating gate and said control gate may be covered, The process which forms the interlayer insulation film in which flattening was carried out by the etchback process of the SOG film at least on said silicon nitride, The manufacture approach of the non-volatile semiconductor memory characterized by providing the process which forms in said diffusion field metal wiring which makes contact connection through the contact hole formed in said interlayer insulation film.

[Claim 7] The process which oxidizes thermally the front face of the silicon substrate of one conductivity type, and forms gate oxide, The process which carries out selective oxidation of said 1st electric conduction film according to said opening, and forms the selective oxidation film after forming the 1st electric conduction film on said gate oxide and forming the anti-oxidation film which has opening of a predetermined pattern on this 1st electric conduction film, The process which forms the floating gate which uses said selective oxidation film as a mask, etches said 1st electric conduction film, and has an acute corner in the upper part, The process which forms the tunnel oxide film with which nitriding treatment was performed so that said floating gate might be covered, The process which forms the control gate so that it may have the field which carries out patterning of this 2nd electric conduction film, and laps on said floating gate through a tunnel oxide film after forming the 2nd electric conduction film on said tunnel oxide film, The process which forms the diffusion field of a reverse conductivity type in the front face of said silicon substrate which adjoins said floating gate and said control gate, The process which forms a silicon nitride so that said floating gate and said control gate may be covered, The process which forms the interlayer insulation film in which flattening was carried out by the etchback process of the SOG film at least on said silicon nitride, The manufacture approach of the non-volatile semiconductor memory characterized by providing the process which forms in said diffusion field metal wiring which makes contact connection through the contact hole formed in said interlayer insulation film.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] If it says further, this invention inhibits decline in the elimination effectiveness at the time of repeating elimination of the data based on sampling the charge (electron) accumulated in the floating gate to a control gate side, and performing it, and relates to the technique make the cycle life of a memory cell extend, about the non-volatile semiconductor memory which has the floating gate and the control gate formed so that it may lap with the floating gate through the tunnel oxide film which covers this floating gate, and its manufacture approach.

[0002]

[Description of the Prior Art] Each memory cell is formed of the transistor of the duplex [which a memory cell becomes from a single transistor] gate structure which has [in / electrically / an eliminable non-volatile semiconductor memory, especially a programmable ROM (it is also called EEPROM:Electrically Erasable and Programmable ROM and a flash memory.)] the floating gate and the control gate. In the case of such a memory cell transistor of double gate structure, the writing of data is performed by accelerating the hot electron generated in the channel field under the field in which the floating gate and the control gate were installed side by side, and pouring into the floating gate. And elimination of data is performed by drawing out a charge from the floating gate to the control gate by F-N conduction (Fowler-Nordheimtunnelling).

[0003] Drawing 15 is the top view of the memory cell part of the non-volatile semiconductor memory which has the floating gate, and drawing 16 is the sectional view of the X2-X2 line. In this drawing, the split-gate structure where the control gate is arranged together with the floating gate is shown.

[0004] the surface field of the silicon substrate 1 of P type — LOCOS (Local Oxidation Of Silicon) — two or more component demarcation membranes 2 which consist of a LOCOS oxide film alternatively formed thickly of law are formed in the shape of a strip of paper, and a component field is divided. As it straddles between the component demarcation membranes 2 which adjoin each other through oxide film 3A on a silicon substrate 1, the floating gate 4 is arranged. This floating gate 4 is arranged independently for every memory cell. Moreover, the selective oxidation film 5 on the floating gate 4 is thickly formed in the center section of the floating gate 4 by the selective oxidation method, and the acute corner is formed in the edge of the floating gate 4. It is made for this to be easy to produce electric-field concentration in the up corner of the floating gate 4 at the time of elimination actuation of data.

[0005] The control gate 6 is arranged through the tunnel oxide film 3 united with said oxide-film 3A corresponding to the silicon substrate 1 top by which two or more floating gates 4 have been arranged the whole train of the floating gate 4. A part laps on the floating gate 4, and this control gate 6 is arranged so that the remaining part may touch a silicon substrate 1 through oxide-film 3A. Moreover, these floating gates 4 and the control gate 6 are arranged so that the train which adjoins each other, respectively may become symmetrical with a field mutually.

[0006] The drain field 7 and the source field 8 of N type are formed in the substrate field between said control gates 6, and the substrate field between the floating gates 4. The drain field 7 is surrounded by the component demarcation membrane 2 between the control gates 6, each becomes independent, and

the source field 8 continues in the direction in which the control gate 6 extends. A memory cell transistor is constituted by these floating gates 4, the control gate 6, the drain field 7, and the source field 8.

[0007] And the metal wiring 10 which consists of an aluminium alloy etc. through an interlayer insulation film 9 on said control gate 6 is arranged in the direction which intersects the control gate 6. This metal wiring 10 lets a contact hole 11 pass, and is connected to the drain field 7. And each control gate 6 serves as a word line, and the source field 8 which extends in parallel with the control gate 6 serves as a source line. Moreover, the metal wiring 10 connected to the drain field 7 turns into a bit line.

[0008] In the case of such a memory cell transistor of double gate structure, the on resistance value between the source and a drain is changed with the amount of the charge poured into the floating gate 4. Then, he fluctuates the on resistance value of a specific memory cell transistor, and is trying to match with the data which memorize the difference of the operating characteristic of each memory cell transistor produced by this by pouring a charge into the floating gate 4 alternatively.

[0009] Each actuation of the writing of the data in the above non-volatile semiconductor memory, elimination, and read-out is performed by [as being the following]. In write-in actuation, high potential of 0.5V and the source field 8 is set [the potential of the control gate 6] to 12V for the potential of 2V and the drain field 7. If it carries out Capacity coupling of between the floating gate 4 and a substrate (source field 8) is carried out between the control gate 6 and the floating gate 4 (capacity between the capacity < floating gate 4 between the control gate 6 and the floating gate 4, and a substrate (source field 8)). The potential of the floating gate 4 is raised by about 9V by this capacity-coupling ratio. It is accelerated to a floating-gate 4 side, the hot electron generated in the channel field under the field in which said floating gate 4 and control gate 6 were installed side by side is poured into the floating gate 4 through oxide film 3A, and the writing of data is performed.

[0010] On the other hand, in elimination actuation, potential of the drain field 7 and the source field 8 is set to 0V, and the control gate 6 is set to 14V. By this, the charge (electron) accumulated into the floating gate 4 runs through said tunnel oxide film 3 by F-N (Fowler-Nordheim tunnelling) conduction from the acute section of the up corner of the floating gate 4, is emitted to the control gate 6, and data are eliminated.

[0011] And in read-out actuation, potential of the control gate 6 is set to 4V, the drain field 7 is set to 2V, and the source field 8 is set to 0V. If the charge (electron) is poured into the floating gate 4 at this time, since the potential of the floating gate 4 will become low, a channel is not formed in the bottom of the floating gate 4, and a drain current does not flow. On the contrary, if the charge (electron) is not poured into the floating gate 4, since the potential of the floating gate 4 becomes high, a channel is formed in the bottom of the floating gate 4, and a drain current flows.

[0012]

[Problem(s) to be Solved by the Invention] Drawing 14 shows the measurement result of the cycle life (the count of data rewriting, E/W Cycle) in the conventional equipment of the above-mentioned configuration, and shows signs that the accumulation percent defective (%) increases, along with the increment in the count of data rewriting (axis of abscissa). In addition, with the defect in this case, it had judged that the time of for example, a cel current falling to the level (for example, 30microA from which the memory cell current of the memory cell of an elimination condition becomes 30% of 100microA of initial value) which can be judged is poor as a life of a memory cell of operation.

[0013] As shown in this drawing, when the count of data rewriting amounted to about 70,000 times, with the conventional non-volatile semiconductor memory, the accumulation percent defective had become 100%.

[0014] In a general programmable memory, there was a request of about 100,000 times having been needed, and 70,000 times of the repeat of the writing/elimination of data having been insufficient, and wanting to make the further count of rewriting possible.

[0015] Then, it traced that there was a certain causal relation between the quality of the material of the interlayer insulation film formed on the memory cell transistor, and a cycle life as a result of this

invention person's analysis.

[0016] That is, in an equipment configuration by which a level difference becomes severe comparatively like the non-volatile semiconductor memory of this configuration since the control gate laps on the floating gate, in order to attain flattening, the interlayer insulation film 9 with which the etchback process of the SOG (Spin On Glass) film generally used was given is formed.

[0017] And H contained in this SOG film or OH was spread, and I thought that it had influenced that a trap is carried out to said tunnel oxide film.

[0018] Therefore, this invention aims at offering the non-volatile semiconductor memory which enables improvement in the life of a memory cell of operation, and its manufacture approach.

[0019]

[Means for Solving the Problem] Then, it was made in order that this invention might solve the above-mentioned technical problem, and the non-volatile semiconductor memory of this invention is that the barrier film by silicon nitride 39D is placed between the floating gate 34 and interlayer insulation film 39 inferior surface of tongue containing the SOG film which covers control gate 36 grade, and it inhibits that a trap is carried out to the tunnel oxide film 33 even if H contained in the SOG film or OH is spread, and is characterized by improve a trap rise rate.

[0020] And after that manufacture approach forms the electric-conduction-ized polish recon film on gate oxide 33A oxidized thermally and formed on said silicon substrate 31, it carries out patterning of this polish recon film, and forms the floating gate 34. Next, the tunnel oxide film 33 is formed so that said floating gate 34 may be covered, and after carrying out the laminating of the insulator layer 39A to the polish recon film electric-conduction-ized on this tunnel oxide film 33, and the electric conduction film which consists of the tungsten silicide (WSix) film, the control gate 36 is formed so that it may have the field which carries out patterning of this cascade screen, and laps on said floating gate 34 through the tunnel oxide film 33. Then, the drain field 37 of a reverse conductivity type and the source field 38 are formed in the front face of said silicon substrate 31 so that said floating gate 34 and said control gate 36 may be adjoined. Furthermore, silicon nitride 39D is formed so that the whole memory cell which consists of said floating gate 34 and said control gate 36 grade may be covered. And after forming SOG film and BPSG film 39E on this silicon nitride 39D and forming the interlayer insulation film 39 by which flattening was carried out by carrying out specified quantity etchback of these, it is characterized by providing the process which forms in said drain field 37 the metal wiring 40 which makes contact connection through the contact hole 41 formed in this interlayer insulation film 39.

[0021] Moreover, after other manufacture approaches oxidize thermally the front face of the silicon substrate 31 of one conductivity type, form gate oxide 33A, form the polish recon film 54 electric-conduction-ized on this gate oxide 33A and form silicon nitride 55A which has opening 55A of a predetermined pattern on this polish recon film 54, they carry out selective oxidation of said polish recon film 54 according to this opening 55A, and form the selective oxidation film 35. Next, the floating gate 34 which uses this selective oxidation film 35 as a mask, etches said polish recon film 54, and has acute corner 34A in the upper part is formed. Then, the tunnel oxide film 33 is formed so that said floating gate 34 may be covered, and if it consists of the polish recon film and tungsten silicide (WSix) film which were electric-conduction-ized on this tunnel oxide film 33, after carrying out the laminating of the insulator layer 39A, the control gate 36 is formed so that it may have the field which carries out patterning of this cascade screen, and laps on said floating gate 34 through the tunnel oxide film 33. Then, the drain field 37 of a reverse conductivity type and the source field 38 are formed in the front face of said silicon substrate 31 so that said floating gate 34 and said control gate 36 may be adjoined. Furthermore, silicon nitride 39D is formed so that the whole memory cell which consists of said floating gate 34 and said control gate 36 grade may be covered. And after forming SOG film and BPSG film 39E on this silicon nitride 39D and forming the interlayer insulation film 39 by which flattening was carried out by carrying out specified quantity etchback of these, it is characterized by providing the process which forms in said drain field 37 the metal wiring 40 which makes contact connection through the contact hole 41 formed in this interlayer insulation film 39.

[0022]

[Embodiment of the Invention] Hereafter, it explains, referring to a drawing about 1 operation gestalt of the non-volatile semiconductor memory and the manufacture approach of this invention.

[0023] Drawing 1 is the top view of the memory cell part of the non-volatile semiconductor memory which has the floating gate, and drawing 2 is X1-X1 sectional view of drawing 1. In these drawings, the split-gate structure stood in a line and arranged so that the control gate 36 may lap with the floating gate 34 through the tunnel oxide film 33 is shown.

[0024] In addition, although the description of this invention is in the configuration of the interlayer insulation film 39 which covers the memory cell which consists of the floating gate 34 and control gate 36 grade and being mentioned later in detail In the equipment configuration for which the interlayer insulation film 39 to which flattening was given according to the etchback process of the SOG film was used, in order to inhibit degradation of the memory cell property by diffusion of H from the SOG film, OH, etc. It is the last process in which the SOG film is formed at least, and is having made silicon nitride 39D as barrier film which prevents diffusion of H into a memory cell, OH, etc. intervene.

[0025] the silicon substrate 31 of P type — LOCOS — two or more component demarcation membranes 32 are formed in the shape of a strip of paper of law, and a component field is divided. As the component demarcation membrane 32 which adjoins each other through gate oxide 33A on a silicon substrate 31 is adjoined, the floating gate 34 is arranged. This floating gate 34 is arranged independently for every memory cell. Moreover, the selective oxidation film 35 on the floating gate 34 is thickly formed in the center section of the floating gate 34 by the selective oxidation method, and acute corner 34A (refer to drawing 12) is formed in the upper part of the floating gate 34. It is made for this to be easy to produce electric-field concentration in corner 34A of the floating gate 34 at the time of elimination actuation of data.

[0026] And the control gate 36 is arranged through the tunnel oxide film 33 united with said gate oxide 33A corresponding to the silicon substrate 31 top by which two or more floating gates 34 have been arranged the whole train of the floating gate 34. A part laps on the floating gate 34, and this control gate 36 is arranged so that the remaining part may touch a silicon substrate 31 through the tunnel oxide film 33. Moreover, these floating gates 34 and the control gate 36 are arranged so that the train which adjoins each other, respectively may become symmetrical with a field mutually.

[0027] The drain field 37 and the source field 38 of N type are formed in the substrate field between said control gates 36, and the substrate field between the floating gates 34. The drain field 37 is surrounded by the component demarcation membrane 32 between the control gates 36, each becomes independent, and the source field 38 continues in the direction in which the control gate 36 extends. A memory cell transistor is constituted by these floating gates 34, the control gate 36, the drain field 37, and the source field 38.

[0028] And the metal wiring 40 which consists of an aluminium alloy etc. through an interlayer insulation film 39 on said control gate 36 is arranged in the direction which intersects the control gate 36. This metal wiring 40 lets a contact hole 41 pass, and is connected to the drain field 37. And each control gate 36 serves as a word line, and the source field 38 which extends in parallel with the control gate 36 serves as a source line. Moreover, the metal wiring 40 connected to the drain field 37 turns into a bit line.

[0029] It explains referring to the drawing simplified for convenience about the manufacture approach of the memory cell of such a non-volatile semiconductor memory hereafter.

[0030] first, drawing 3 — setting — the predetermined field of the semi-conductor substrate 31 — the component demarcation membrane 32 — forming (referring to drawing 2) — gate oxide 33A is formed in surfaces other than this component demarcation membrane 32 at the thickness of about 100A. And after forming and carrying out a phosphorus dope and electric-conduction-izing the polish recon film in thickness of about 1500A on said gate oxide 33A, by the well-known photolithography method, patterning of this polish recon film is carried out, and the floating gate 34 is formed.

[0031] Next, as shown in drawing 4 , the insulator layer (the tunnel oxide film 33 is called hereafter)

which is gate oxide 33A and really [said] formed so that said floating gate 34 may be covered and whose thickness is about 300A is formed. In addition, after said tunnel oxide film 33 forms a CVD oxide film, for example, the TEOS (Tetra Ethyl Ortho Silicate) film, the HTO (High Temperature Oxide) film, etc., with a CVD method on a substrate, it is oxidized thermally and changes. furthermore, when saying and said CVD oxide film is formed by the reaction of a mono silane (SiH4), N2O, or a dichloro silane (SiH2Cl2) and N2O When a quality CVD oxide film can be formed and especially a dichloro silane (SiH2Cl2) is used Electrical properties, such as a TDDB property, improve, or the amount of H in which H is contained in a CVD oxide film since it is few decreases from a mono silane (SiH4), and the fault (it becomes the cause of generating of a hole and dielectric breakdown is caused) relevant to this can be decreased. Moreover, since a membrane formation rate becomes late, a thickness controllability becomes good, and dispersion between the wafer sides in a wafer side can be controlled.

[0032] Then, electric conduction film 36A of the two-layer structure which consists of for example, the polish recon film and the tungsten silicide film (WSix film) the whole surface on said substrate 31 is formed. In addition, said electric conduction film 36A forms the polish recon film in the thickness of about 1000A first, and next, by making POCl3 into the source of diffusion, after carrying out a phosphorus dope, it is obtained at said polish recon film by forming the tungsten silicide film (WSix film) on the polish recon film at the thickness of about 1200A. And after forming insulator layer 39A of about 2500A thickness on said electric conduction film 36A, the photoresist film 50 is formed on this insulator layer 39A, and opening 50A is formed in the location corresponding to the source drain field formation schedule section of this resist film 50.

[0033] Next, by using said resist film 50 as a mask, and etching insulator layer 39A and electric conduction film 36A, the control gate 36 which carries out the laminating of said insulator layer 39A to the upper part, and grows into it as shown in drawing 5 is formed so that the side-attachment-wall section may be straddled from the upper part of said floating gate 33 through said tunnel oxide film 33. And after removing said resist film 50, this photoresist film be use as a mask, about, annealing treatment of n mold impurity (31P+), for example, the phosphorus ion, be pour in and carry out to the surface of a substrate 31, it be diffuse [it cover with the photoresist film which do not illustrate said drain field formation schedule section at least, and] on it on the impregnation conditions of $5.0 \times 10^{15}/\text{cm}^2$ of doses, and acceleration voltage 60KeV, and the source field 38 be form. In addition, arsenic ion (75As+) etc. may be used as said n mold impurity by which an ion implantation is carried out.

[0034] Next, as shown in drawing 6 , after forming insulator layer 39B which consists of the oxide film of about 2000A thickness with a CVD method the whole surface on said substrate 31, as shown in drawing 7 , the photoresist film 51 which has opening 51A which covers said source field 38 top on the whole surface is used as a mask, anisotropic etching of said insulator layer 39B and the insulator layer 33 is carried out, and while exposing a drain formation field top face, side-attachment-wall spacer film 39C is formed. Moreover, to the bottom of said resist film 51, insulator layer 39B will carry out a residual membrane.

[0035] And said resist film 51 is used as a mask, annealing treatment of n mold impurity, for example, the Lynn (31P+) ion, is about poured in and carried out to the surface of a substrate 31 on the impregnation conditions of $1.0 \times 10^{15}/\text{cm}^2$ of doses, and acceleration voltage 40KeV, the drain field 37 is formed, and this photoresist film 51 is removed. At this time, the component demarcation membrane 32, the floating gate 34, and the control gate 36 become a mask, and the source field 38 and the drain field 37 are formed in a self-align target (self aryne) so that the surface of a substrate 31 may be adjoined at the end section of the floating gate 34 and the control gate 36. In addition, arsenic ion (75As+) etc. may be used as said n mold impurity by which an ion implantation is carried out.

[0036] Next, as shown in drawing 8 , silicon nitriding (SiN) film 39D of about 250A – 350A thickness is formed with a CVD method all over substrate 31. In addition, this silicon nitride 39D constitutes the description of this invention, and works as barrier which prevents that H diffused from the interlayer insulation film 39 mentioned later and OH enter in a memory cell (especially tunnel oxide film 33). Thus, since it is lost that H and OH which were diffused from the interlayer insulation film 39 enter in the

tunnel oxide film 33, and form a trap site by silicon nitride 39D used as the barrier being formed, an improvement of a trap rise rate can be aimed at.

[0037] Then, as shown in drawing 9, after forming BPSG film 39E of about 8000A thickness the whole surface on a substrate 1, in order to attain flattening, SOG film 39F are formed by about 2000A thickness, specified quantity etchback of the SOG film 39F and BPSG film 39E is carried out (to the location shown in drawing 9 with an alternate long and short dash line), and flattening is carried out. And insulator layers 39A, 39B, and 39C, silicon nitride 39D, and BPSG film 39E and the interlayer insulation film 39 which consists of SOG film 39F are formed by heat-treating said BPSG film 39E. In addition, although the condition that flattening was carried out extremely is illustrated in drawing 9 in order that an interlayer insulation film 39 may exaggerate the condition that flattening was carried out, there is a field which became depressed in the front face of BPSG film 39E which constitutes an interlayer insulation film 39 in fact, SOG film 39F will carry out a residual membrane to this hollow field, and it will be dotted with SOG film 39F on an interlayer insulation film 39.

[0038] And as the photoresist film which is not illustrated [which was formed on said interlayer insulation film 39] is used as a mask, a contact hole 41 is formed in an interlayer insulation film 39 and it is shown in drawing 10. Contact plug 40A which consists of the tungsten film through the non-illustrated barrier metal film in said contact hole 41 is laid underground. Aluminum film 40B (for example, aluminum film, the aluminum-Si film, aluminum-Cu film, aluminum-Si-Cu film, etc.) is formed on contact plug 40A, and the metal wiring 40 which consists of contact plug 40A and aluminum film 40B is formed. Thereby, the non-volatile semiconductor memory of this invention is completed.

[0039] As mentioned above, since it is inhibited that H and OH which were diffused from SOG film 39F which constitute an interlayer insulation film 9 like before enter in the tunnel oxide film 3, and form a trap site by silicon nitride 39D being formed so that the whole memory cell may be covered with the non-volatile semiconductor memory of this invention as explained, an improvement of a trap rise rate can be aimed at.

[0040] When here shows the measurement result of the cycle life (the count of data rewriting, E/W Cycle) in this invention equipment to drawing 14, it turns out that it does not pass over an accumulation percent defective to 50% even if the count of data rewriting amounts to about 100,000 times, but it becomes about 160,000 times that an accumulation percent defective becomes 100%, and the cycle life is improving.

[0041] Moreover, the manufacture approach which forms an acute corner in the upper part of the floating gate 34 as shown in drawing 2 is explained based on drawing 11 thru/or drawing 13.

[0042] First, in drawing 11, oxidize thermally the front face of the silicon substrate 31 of P type, and gate oxide 33A is formed. The polish recon film 54 which the phosphorus dope was carried out and was electric-conduction-ized on this gate oxide 33A is formed. After forming silicon nitride 55A which has opening 55A of a predetermined pattern on this polish recon film 54, according to this opening 55A, selective oxidation of said polish recon film 54 is carried out, and the selective oxidation film 35 is formed.

[0043] Next, as shown in drawing 12, the floating gate 34 which uses said selective oxidation film 35 as a mask, carries out anisotropic etching of said polish recon film 54, and has acute corner 34A in the upper part is formed.

[0044] Then, as shown in drawing 13, after forming the tunnel oxide film 33 so that said floating gate 34 may be covered, and forming the cascade screen which consists of the polish recon film electric-conduction-ized on this tunnel oxide film 33, and the tungsten silicide (WSix) film, the control gate 36 is formed so that it may have the field which carries out patterning of this cascade screen, and laps on said floating gate 34 through the tunnel oxide film 33. Thus, by acute corner 34A being formed, at the time of elimination actuation of data, it becomes easy to produce electric-field concentration at the edge of the floating gate 34, and an elimination property improves.

[0045] Moreover, in the operation gestalt of this invention, by performing nitriding treatment to the tunnel oxide film 33 which consists of the CVD oxide film mentioned above, an improvement of the

further trap rise rate can be aimed at, and the count of rewriting of data can be extended. That is, it originates in the charge (an electron) which jumped out of said floating gate 34 into the interface part of the control gate 36 and the tunnel oxide film 33, was accelerated by electric field with the control gate 36 as a factor of trap rise rate aggravation, and had energy, and are easy generating a trap site, and since the trap of the charge (electron) which jumped out of the floating gate 34 in the generating field of this trap site at the time of elimination actuation is carried out, it is thought that elimination effectiveness falls. Then, by making tunnel oxide-film 33 part corresponding to the trap site generating field contain a nitrogen atom, it becomes possible to terminate the uncombined hand of a dangling bond of not taking the form of O-Si-O of the field, with a trivalent nitrogen atom, and it can control a dangling bond. Therefore, since generating of the dangling bond used as a charge (electron) trap site is controlled, the rate that the trap of the charge (electron) which jumped out of the floating gate 34 at the time of elimination actuation is carried out can decrease, and decline in elimination effectiveness can be controlled. Furthermore, if it says, after the nitriding treatment of a CVD oxide film forms a CVD oxide film, N₂O (or NO and NH₃) annealing of it will be done in the thermal diffusion furnace in a nitriding ambient atmosphere, or LP(reduced pressure) CVD furnace.

[0046] In addition, although the operation gestalt of this invention explained the gestalt of the operation which applied this invention to the split-gate mold flash memory, this invention may be applied not only to this but to a stack TOGETO mold flash memory.

[0047]

[Effect of the Invention] Since it can inhibit H, OH, etc. being spread from the SOG film which constitutes an interlayer insulation film like before, entering in a tunnel oxide film, and forming a trap site by having formed the barrier film which consists of a silicon nitride so that the whole memory cell may be covered according to this invention, an improvement of a trap rise rate can be aimed at, the count of rewriting of data can be extended, and the life of a memory cell of operation can be made to extend.

[0048] Moreover, an improvement of the further trap rise rate can be aimed at, the count of rewriting of data can be extended, and the life of a memory cell of operation can be made to extend by performing nitriding treatment to a tunnel oxide film.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
 2. **** shows the word which can not be translated.
 3. In the drawings, any words are not translated.
-

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the top view showing the structure of the memory cell of the non-volatile semiconductor memory of this invention.

[Drawing 2] a part of drawing 1 — it is a sectional view.

[Drawing 3] It is the sectional view showing the manufacture approach of the non-volatile semiconductor memory of this invention.

[Drawing 4] It is the sectional view showing the manufacture approach of the non-volatile semiconductor memory of this invention.

[Drawing 5] It is the sectional view showing the manufacture approach of the non-volatile semiconductor memory of this invention.

[Drawing 6] It is the sectional view showing the manufacture approach of the non-volatile semiconductor memory of this invention.

[Drawing 7] It is the sectional view showing the manufacture approach of the non-volatile semiconductor memory of this invention.

[Drawing 8] It is the sectional view showing the manufacture approach of the non-volatile semiconductor memory of this invention.

[Drawing 9] It is the sectional view showing the manufacture approach of the non-volatile semiconductor memory of this invention.

[Drawing 10] It is the sectional view showing the manufacture approach of the non-volatile semiconductor memory of this invention.

[Drawing 11] It is the sectional view showing the manufacture approach of the non-volatile semiconductor memory of this invention.

[Drawing 12] It is the sectional view showing the manufacture approach of the non-volatile semiconductor memory of this invention.

[Drawing 13] It is the sectional view showing the manufacture approach of the non-volatile semiconductor memory of this invention.

[Drawing 14] It is drawing showing the device property of this invention and the conventional non-volatile semiconductor memory.

[Drawing 15] It is the top view showing the structure of the memory cell of the conventional non-volatile semiconductor memory.

[Drawing 16] a part of drawing 15 — it is a sectional view.

[Translation done.]

(19)日本国特許庁 (JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開2000-216273

(P 2 0 0 0 - 2 1 6 2 7 3 A)

(43)公開日 平成12年8月4日(2000.8.4)

(51)Int.C1.
H01L 21/8247
29/788
29/792
27/115

識別記号

F I
H01L 29/78
27/10

371
434

5F001
5F083

マーク

(参考)

審査請求 未請求 請求項の数 7 O L (全10頁)

(21)出願番号 特願平11-15949

(22)出願日 平成11年1月25日(1999.1.25)

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72)発明者 尾關 和之

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(72)発明者 大谷 幸弘

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(74)代理人 100111383

弁理士 芝野 正雅

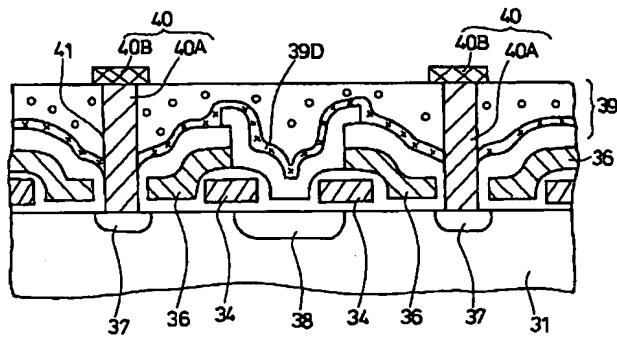
最終頁に続く

(54)【発明の名称】不揮発性半導体記憶装置とその製造方法

(57)【要約】

【課題】 メモリセルの動作寿命の向上を図る。

【解決手段】 本発明の不揮発性半導体記憶装置は、フローティングゲート34とコントロールゲート36等を被覆するSOG膜を含む層間絶縁膜39下面にシリコン窒化膜39Dによるバリア膜が介在することで、SOG膜に含まれるHあるいはOHが拡散しても、トンネル酸化膜33にトラップされなくなり、トラップアップレートが改善する。



40A : コンタクトウーフ

40B : アルミニウム膜

【特許請求の範囲】

【請求項 1】 一導電型のシリコン基板上に形成されたフローティングゲートと、このフローティングゲートを被覆する絶縁膜と、この絶縁膜を介して前記フローティングゲート上に重なる領域を持つように形成されるコントロールゲートと、前記フローティングゲート及び前記コントロールゲートに隣接する前記シリコン基板の表面上に形成される逆導電型の拡散領域と、少なくともSOG膜を含む層間絶縁膜を介して前記拡散領域に接続された金属配線とを備えた不揮発性半導体記憶装置において、前記層間絶縁膜下層にシリコン窒化膜から成るバリア膜が形成されていることを特徴とする不揮発性半導体記憶装置。

【請求項 2】 一導電型のシリコン基板上に形成されたフローティングゲートと、前記フローティングゲートを被覆するトンネル酸化膜と、前記トンネル酸化膜を介して前記フローティングゲート上に重なる領域を持つように形成されるコントロールゲートと、前記フローティングゲート及び前記コントロールゲートに隣接する前記シリコン基板の表面上に形成される逆導電型の拡散領域と、前記フローティングゲート及び前記コントロールゲートを被覆するように形成されたシリコン窒化膜と、前記シリコン窒化膜上に形成された少なくともSOG膜を含む層間絶縁膜を介して前記拡散領域に接続された金属配線とを具備したことを特徴とする不揮発性半導体記憶装置。

【請求項 3】 一導電型のシリコン基板上に形成されたフローティングゲートと、前記フローティングゲートを被覆する窒化処理が施されたトンネル酸化膜と、前記トンネル酸化膜を介して前記フローティングゲート上に重なる領域を持つように形成されるコントロールゲートと、前記フローティングゲート及び前記コントロールゲートに隣接する前記シリコン基板の表面上に形成される逆導電型の拡散領域と、前記フローティングゲート及び前記コントロールゲートを被覆するように形成されたシリコン窒化膜と、前記シリコン窒化膜上に形成された少なくともSOG膜を含む層間絶縁膜を介して前記拡散領域に接続された金属配線とを具備したことを特徴とする不揮発性半導体記憶装置。

【請求項 4】 一導電型のシリコン基板上に形成されたフローティングゲートと、このフローティングゲートを被覆する絶縁膜と、この絶縁膜を介して前記フローティングゲート上に重なる領域を持つように形成されるコントロールゲートと、前記フローティングゲート及び前記コントロールゲート

コントロールゲートに隣接する前記シリコン基板の表面上に形成される逆導電型の拡散領域と、少なくともSOG膜を含む層間絶縁膜を介して前記拡散領域に接続された金属配線とを備えた不揮発性半導体記憶装置の製造方法において、

前記層間絶縁膜下層にシリコン窒化膜から成るバリア膜を形成する工程が具備されたことを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項 5】 一導電型のシリコン基板の表面を熱酸化してゲート酸化膜を形成する工程と、

10 前記ゲート酸化膜上に第1の導電膜を形成した後にこの第1の導電膜をバターニングしてフローティングゲートを形成する工程と、

前記フローティングゲートを被覆するようにトンネル酸化膜を形成する工程と、

前記トンネル酸化膜上に第2の導電膜を形成した後にこの第2の導電膜をバターニングしてトンネル酸化膜を介して前記フローティングゲート上に重なる領域を持つようにコントロールゲートを形成する工程と、

20 前記フローティングゲート及び前記コントロールゲートに隣接する前記シリコン基板の表面上に逆導電型の拡散領域を形成する工程と、

前記フローティングゲート及び前記コントロールゲートを被覆するようにシリコン窒化膜を形成する工程と、前記シリコン窒化膜上に少なくともSOG膜のエッチバック工程により平坦化された層間絶縁膜を形成する工程と、

前記層間絶縁膜に形成したコンタクトホールを介して前記拡散領域にコンタクト接続する金属配線を形成する工程とを具備したことを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項 6】 一導電型のシリコン基板の表面を熱酸化してゲート酸化膜を形成する工程と、

前記ゲート酸化膜上に第1の導電膜を形成し、この第1の導電膜上に所定のパターンの開口を有する耐酸化膜を形成した後に、前記開口に応じて前記第1の導電膜を選択酸化して選択酸化膜を形成する工程と、

前記選択酸化膜をマスクにして前記第1の導電膜をエッチングして上部に先鋒な角部を有するフローティングゲートを形成する工程と、

前記フローティングゲートを被覆するようにトンネル酸化膜を形成する工程と、

前記トンネル酸化膜上に第2の導電膜を形成した後にこの第2の導電膜をバターニングしてトンネル酸化膜を介して前記フローティングゲート上に重なる領域を持つようにコントロールゲートを形成する工程と、

前記フローティングゲート及び前記コントロールゲートに隣接する前記シリコン基板の表面上に逆導電型の拡散領域を形成する工程と、

50 前記フローティングゲート及び前記コントロールゲート

を被覆するようにシリコン窒化膜を形成する工程と、前記シリコン窒化膜上に少なくともSOG膜のエッチバック工程により平坦化された層間絶縁膜を形成する工程と、前記層間絶縁膜に形成したコンタクトホールを介して前記拡散領域にコンタクト接続する金属配線を形成する工程とを具備したことを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項7】 一導電型のシリコン基板の表面を熱酸化してゲート酸化膜を形成する工程と、前記ゲート酸化膜上に第1の導電膜を形成し、この第1の導電膜上に所定のパターンの開口を有する耐酸化膜を形成した後に、前記開口に応じて前記第1の導電膜を選択酸化して選択酸化膜を形成する工程と、前記選択酸化膜をマスクにして前記第1の導電膜をエッチングして上部に先鋒な角部を有するフローティングゲートを形成する工程と、前記フローティングゲートを被覆するように窒化処理が施されたトンネル酸化膜を形成する工程と、前記トンネル酸化膜上に第2の導電膜を形成した後にこの第2の導電膜をバターニングしてトンネル酸化膜を介して前記フローティングゲート上に重なる領域を持つようにコントロールゲートを形成する工程と、前記フローティングゲート及び前記コントロールゲートに隣接する前記シリコン基板の表面に逆導電型の拡散領域を形成する工程と、前記フローティングゲート及び前記コントロールゲートを被覆するようにシリコン窒化膜を形成する工程と、前記シリコン窒化膜上に少なくともSOG膜のエッチバック工程により平坦化された層間絶縁膜を形成する工程と、前記層間絶縁膜に形成したコンタクトホールを介して前記拡散領域にコンタクト接続する金属配線を形成する工程とを具備したことを特徴とする不揮発性半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、フローティングゲートと、このフローティングゲートを被覆するトンネル酸化膜を介してフローティングゲートに重なるように形成されるコントロールゲートとを有する不揮発性半導体記憶装置とその製造方法に関し、更に言えばフローティングゲートに蓄積された電荷（電子）をコントロールゲート側に抜き取ることによるデータの消去を繰り返し行う際の消去効率の低下を抑止し、メモリセルのサイクル寿命を延長させる技術に関する。

【0002】

【従来の技術】 メモリセルが単一のトランジスタからなる電気的に消去可能な不揮発性半導体記憶装置、特にプログラマブルROM(EEPROM:Electrically Erasable an

d Programmable ROM、フラッシュメモリとも称す。)においては、フローティングゲートとコントロールゲートとを有する2重ゲート構造のトランジスタによって各メモリセルが形成される。このような2重ゲート構造のメモリセルトランジスタの場合、フローティングゲートとコントロールゲートとが並設された領域下のチャネル領域で発生したホットエレクトロンを加速してフローティングゲートに注入することでデータの書き込みが行われる。そして、F-N伝導(Fowler-Nordheimtunnelling)

10 によってフローティングゲートからコントロールゲートへ電荷を引き抜くことでデータの消去が行われる。

【0003】 図15はフローティングゲートを有する不揮発性半導体記憶装置のメモリセル部分の平面図で、図16はそのX2-X2線の断面図である。この図においては、コントロールゲートがフローティングゲートと並んで配置されるスプリットゲート構造を示している。

【0004】 P型のシリコン基板1の表面領域に、LOCOS (Local Oxidation Of Silicon) 法により選択的に厚く形成されるLOCOS酸化膜よりなる複数の素子分離膜2が短冊状に形成され、素子領域が区画される。シリコン基板1上に、酸化膜3Aを介し、隣り合う素子分離膜2の間に跨るようにしてフローティングゲート4が配置される。このフローティングゲート4は、1つのメモリセル毎に独立して配置される。また、フローティングゲート4上の選択酸化膜5は、選択酸化法によりフローティングゲート4の中央部で厚く形成され、フローティングゲート4の端部には先鋒な角部が形成されている。これにより、データの消去動作時にフローティングゲート4の上部角部で電界集中が生じ易いようになっている。

【0005】 複数のフローティングゲート4が配置されたシリコン基板1上に、フローティングゲート4の各列毎に対応して前記酸化膜3Aと一体化されたトンネル酸化膜3を介してコントロールゲート6が配置される。このコントロールゲート6は、一部がフローティングゲート4上に重なり、残りの部分が酸化膜3Aを介してシリコン基板1に接するように配置される。また、これらのフローティングゲート4及びコントロールゲート6は、それぞれ隣り合う列が互いに面对称となるように配置される。

【0006】 前記コントロールゲート6の間の基板領域及びフローティングゲート4の間の基板領域に、N型のドレン領域7及びソース領域8が形成される。ドレン領域7は、コントロールゲート6の間で素子分離膜2に囲まれてそれぞれが独立し、ソース領域8は、コントロールゲート6の延在する方向に連続する。これらのフローティングゲート4、コントロールゲート6、ドレン領域7及びソース領域8によりメモリセルトランジスタが構成される。

【0007】 そして、前記コントロールゲート6上に、

層間絶縁膜9を介して、アルミニウム合金等から成る金属配線10がコントロールゲート6と交差する方向に配置される。この金属配線10は、コンタクトホール11を通して、ドレイン領域7に接続される。そして、各コントロールゲート6は、ワード線となり、コントロールゲート6と平行に延在するソース領域8は、ソース線となる。また、ドレイン領域7に接続される金属配線10は、ビット線となる。

【0008】このような2重ゲート構造のメモリセルトランジスタの場合、フローティングゲート4に注入される電荷の量によってソース、ドレイン間のオン抵抗値が変動する。そこで、フローティングゲート4に選択的に電荷を注入することにより、特定のメモリセルトランジスタのオン抵抗値を変動させ、これによって生じる各メモリセルトランジスタの動作特性の差を記憶するデータに対応づけるようにしている。

【0009】以上の不揮発性半導体記憶装置におけるデータの書き込み、消去及び読み出しの各動作は、例えば、以下のようにして行われる。書き込み動作においては、コントロールゲート6の電位を2V、ドレイン領域7の電位を0.5V、ソース領域8の高電位を12Vとする。すると、コントロールゲート6及びフローティングゲート4間とフローティングゲート4及び基板(ソース領域8)間とが容量結合されており(コントロールゲート6及びフローティングゲート4間の容量<フローティングゲート4及び基板(ソース領域8)間の容量)、この容量結合比によりフローティングゲート4の電位が9V程度に持ち上げられ、前記フローティングゲート4とコントロールゲート6とが並設された領域下のチャネル領域で発生するホットエレクトロンがフローティングゲート4側へ加速され、酸化膜3Aを通してフローティングゲート4に注入されてデータの書き込みが行われる。

【0010】一方、消去動作においては、ドレイン領域7及びソース領域8の電位を0Vとし、コントロールゲート6を14Vとする。これにより、フローティングゲート4内に蓄積されている電荷(電子)が、フローティングゲート4の上部角部の先鋒部からF-N(Fowler-Nordheim tunnelling)伝導によって前記トンネル酸化膜3を突き抜けてコントロールゲート6に放出されてデータが消去される。

【0011】そして、読み出し動作においては、コントロールゲート6の電位を4Vとし、ドレイン領域7を2V、ソース領域8を0Vとする。このとき、フローティングゲート4に電荷(電子)が注入されていると、フローティングゲート4の電位が低くなるため、フローティングゲート4の下にはチャネルが形成されずドレイン電流は流れない。逆に、フローティングゲート4に電荷(電子)が注入されていなければ、フローティングゲート4の電位が高くなるため、フローティングゲート4の

下にチャネルが形成されてドレイン電流が流れる。

【0012】

【発明が解決しようとする課題】図14は、上記構成の従来装置におけるサイクル寿命(データ書き換え回数、E/W Cycle)の測定結果を示し、データ書き換え回数(横軸)の増加につれて、累積不良率(%)が増加していく様子を示している。尚、この場合の不良とは、例えばセル電流が判定可能レベル(例えば、消去状態のメモリセルのメモリセル電流が、初期値の $100\mu A$ の30%となる $30\mu A$)まで低下した時点を、メモリセルの動作寿命として、不良と判定していた。

【0013】この図に示すように従来の不揮発性半導体記憶装置では、データ書き換え回数が、およそ7万回に達すると累積不良率は100%になってしまっていた。

【0014】一般のプログラマブルメモリにおいては、データの書き込み／消去の繰り返しは10万回程度が必要とされており、7万回では不十分であり、更なる書き換え回数を可能にしたいという要望があった。

【0015】そこで、本発明者の解析の結果、メモリセルトランジスタ上に形成した層間絶縁膜の材質と、サイクル寿命との間で、何らかの因果関係があることを突き止めた。

【0016】即ち、本構成の不揮発性半導体記憶装置のように、フローティングゲート上にコントロールゲートが重なるために比較的段差が厳しくなるような装置構成では、平坦化を図るために、一般的に用いられているSOG(Spin On Glass)膜のエッチバック工程が施された層間絶縁膜9を形成している。

【0017】そして、このSOG膜に含まれるHあるいはOHが拡散して、前記トンネル酸化膜にトラップされることが影響していると考えた。

【0018】従って、本発明はメモリセルの動作寿命の向上を可能にする不揮発性半導体記憶装置とその製造方法を提供することを目的とする。

【0019】

【課題を解決するための手段】そこで、本発明は上記課題を解決するためになされたもので、本発明の不揮発性半導体記憶装置は、フローティングゲート34とコントロールゲート36等を被覆するSOG膜を含む層間絶縁膜39下面にシリコン窓化膜39Dによるバリア膜が介在することで、SOG膜に含まれるHあるいはOHが拡散しても、トンネル酸化膜33にトラップされることを抑止し、トラップアップレートを改善することを特徴とする。

【0020】そして、その製造方法は、前記シリコン基板31上に熱酸化して形成したゲート酸化膜33A上に導電化されたポリシリコン膜を形成した後に、このポリシリコン膜をバーニングしてフローティングゲート34を形成する。次に、前記フローティングゲート34を被覆するようにトンネル酸化膜33を形成し、このトン

ネル酸化膜33上に導電化されたポリシリコン膜とタンゲステンシリサイド(WSix)膜から成る導電膜と絶縁膜39Aを積層した後に、この積層膜をバターニングしてトンネル酸化膜33を介して前記フローティングゲート34上に重なる領域を持つようにコントロールゲート36を形成する。統いて、前記フローティングゲート34及び前記コントロールゲート36に隣接するように前記シリコン基板31の表面に逆導電型のドレイン領域37、ソース領域38を形成する。更に、前記フローティングゲート34及び前記コントロールゲート36等から成るメモリセル全体を被覆するようにシリコン窒化膜39Dを形成する。そして、このシリコン窒化膜39D上にSOG膜及びBPSG膜39Eを形成し、これらを所定量エッチバックすることで平坦化された層間絶縁膜39を形成した後に、この層間絶縁膜39に形成したコンタクトホール41を介して前記ドレイン領域37にコンタクト接続する金属配線40を形成する工程とを具備したことを特徴とする。

【0021】また、他の製造方法は、一導電型のシリコン基板31の表面を熱酸化してゲート酸化膜33Aを形成し、このゲート酸化膜33A上に導電化されたポリシリコン膜54を形成し、このポリシリコン膜54上に所定のパターンの開口55Aを有するシリコン窒化膜55Aを形成した後に、この開口55Aに応じて前記ポリシリコン膜54を選択酸化して選択酸化膜35を形成する。次に、この選択酸化膜35をマスクにして前記ポリシリコン膜54をエッティングして上部に先鋭な角部34Aを有するフローティングゲート34を形成する。統いて、前記フローティングゲート34を被覆するようにトンネル酸化膜33を形成し、このトンネル酸化膜33上に導電化されたポリシリコン膜とタンゲステンシリサイド(WSix)膜から成ると絶縁膜39Aを積層した後に、この積層膜をバターニングしてトンネル酸化膜33を介して前記フローティングゲート34上に重なる領域を持つようにコントロールゲート36を形成する。統いて、前記フローティングゲート34及び前記コントロールゲート36に隣接するように前記シリコン基板31の表面に逆導電型のドレイン領域37、ソース領域38を形成する。更に、前記フローティングゲート34及び前記コントロールゲート36等から成るメモリセル全体を被覆するようにシリコン窒化膜39Dを形成する。そして、このシリコン窒化膜39D上にSOG膜及びBPSG膜39Eを形成し、これらを所定量エッチバックすることで平坦化された層間絶縁膜39を形成した後に、この層間絶縁膜39に形成したコンタクトホール41を介して前記ドレイン領域37にコンタクト接続する金属配線40を形成する工程とを具備したことを特徴とする。

【0022】

【発明の実施の形態】以下、本発明の不揮発性半導体記憶装置とその製造方法の一実施形態について図面を参照

しながら説明する。

【0023】図1はフローティングゲートを有する不揮発性半導体記憶装置のメモリセル部分の平面図であり、図2は、図1のX1-X1断面図である。これらの図においては、コントロールゲート36がトンネル酸化膜33を介してフローティングゲート34に重なるように並んで配置されるスプリットゲート構造を示している。

【0024】尚、本発明の特徴は、フローティングゲート34やコントロールゲート36等から構成されるメモリセルを被覆する層間絶縁膜39の構成にあり、詳しくは後述するが、SOG膜のエッチバック工程により平坦化が施された層間絶縁膜39が用いられた装置構成において、そのSOC膜からのH、OH等の拡散によるメモリセル特性の劣化を抑止するために、少なくともSOG膜が形成される前工程で、メモリセル内へのH、OH等の拡散を防止するバリア膜としてのシリコン窒化膜39Dを介在させたことである。

【0025】P型のシリコン基板31にLOCOS法により複数の素子分離膜32が短冊状に形成され、素子領域が区画される。シリコン基板31上にゲート酸化膜33Aを介し、隣り合う素子分離膜32に隣接するようにしてフローティングゲート34が配置される。このフローティングゲート34は、1つのメモリセル毎に独立して配置される。また、フローティングゲート34上の選択酸化膜35は、選択酸化法によりフローティングゲート34の中央部で厚く形成され、フローティングゲート34の上部に先鋭な角部34A(図12参照)が形成されている。これにより、データの消去動作時にフローティングゲート34の角部34Aで電界集中が生じ易いようしている。

【0026】そして、複数のフローティングゲート34が配置されたシリコン基板31上に、フローティングゲート34の各列毎に対応して前記ゲート酸化膜33Aと一体化されたトンネル酸化膜33を介してコントロールゲート36が配置される。このコントロールゲート36は、一部がフローティングゲート34上に重なり、残りの部分がトンネル酸化膜33を介してシリコン基板31に接するように配置されている。また、これらのフローティングゲート34及びコントロールゲート36は、それぞれ隣り合う列が互いに対称となるように配置される。

【0027】前記コントロールゲート36の間の基板領域及びフローティングゲート34の間の基板領域に、N型のドレイン領域37及びソース領域38が形成される。ドレイン領域37は、コントロールゲート36の間で素子分離膜32に囲まれてそれが独立し、ソース領域38は、コントロールゲート36の延在する方向に連続する。これらのフローティングゲート34、コントロールゲート36、ドレイン領域37及びソース領域38によりメモリセルトランジスタが構成される。

【0028】そして、前記コントロールゲート36上に、層間絶縁膜39を介して、アルミニウム合金等から成る金属配線40がコントロールゲート36と交差する方向に配置される。この金属配線40は、コンタクトホール41を通して、ドレイン領域37に接続される。そして、各コントロールゲート36は、ワード線となり、コントロールゲート36と平行に延在するソース領域38は、ソース線となる。また、ドレイン領域37に接続される金属配線40は、ビット線となる。

【0029】以下、このような不揮発性半導体記憶装置のメモリセルの製造方法について、便宜的に簡略化した図面を参照しながら説明する。

【0030】先ず、図3において、半導体基板31の所定の領域に素子分離膜32を形成する(図2参照)と共に、この素子分離膜32以外の表層にゲート酸化膜33Aをおよそ100Åの厚さに形成する。そして、前記ゲート酸化膜33A上にポリシリコン膜をおよそ1500Åの厚さに形成し、リンドープし導電化した後、周知のフォトリソグラフィ法により、このポリシリコン膜をバーニングして、フローティングゲート34を形成する。

【0031】次に、図4に示すように、前記フローティングゲート34を被覆するように前記ゲート酸化膜33Aと一体形成される、厚さがおよそ300Åの絶縁膜(以下、トンネル酸化膜33と称す)を形成する。尚、前記トンネル酸化膜33は、基板上にCVD法によりCVD酸化膜、例えば、TEOS(Tetra Ethyl Ortho Silicate)膜やHTO(High Temperature Oxide)膜等を形成した後に熱酸化して成るものである。更に言えば、前記CVD酸化膜をモノシリラン(SiH₄)とN₂O、あるいはジクロルシリラン(SiH₂Cl₂)とN₂Oとの反応により形成した場合には、高品質なCVD酸化膜を形成することができ、特にジクロルシリラン(SiH₂Cl₂)を用いた場合には、TDDDB特性等の電気特性が向上したり、モノシリラン(SiH₄)よりHが少ないため、CVD酸化膜内に含まれるHの量が減少し、これに関連する不具合(ホールの発生原因となり絶縁破壊を引き起こす)が減少できる。また、成膜レートが遅くなるので膜厚制御性が良くなり、ウエハ面内及びウエハ面間でのばらつきを抑制することができる。

【0032】続いて、前記基板31上の全面に例えばポリシリコン膜とタンゲステンシリサイド膜(WSi_x膜)とから成る2層構造の導電膜36Aを形成する。尚、前記導電膜36Aは、最初にポリシリコン膜をおよそ1000Åの厚さに形成し、次に前記ポリシリコン膜にPOCl₃を拡散源としてリンドープした後、ポリシリコン膜上にタンゲステンシリサイド膜(WSi_x膜)をおよそ1200Åの厚さに形成することによって得られる。そして、前記導電膜36A上におよそ2500Åの膜厚の絶縁膜39Aを形成した後、この絶縁膜39A

10 上にフォトレジスト膜50を形成し、このレジスト膜50のソース・ドレイン領域形成予定部に対応する位置に開口50Åを形成する。

【0033】次に、前記レジスト膜50をマスクにして絶縁膜39A及び導電膜36Aをエッチングすることにより、図5に示すように上部に前記絶縁膜39Aを積層して成るコントロールゲート36を前記トンネル酸化膜33を介して前記フローティングゲート33の上部から側壁部に跨るように形成する。そして、前記レジスト膜

10 50を除去した後、少なくとも前記ドレイン領域形成予定部を図示しないフォトレジスト膜で被覆して、このフォトレジスト膜をマスクにして基板31の表層にn型不純物、例えばリンイオン(¹¹P⁺)をおよそドーズ量 $5.0 \times 10^{15} / \text{cm}^2$ 、加速電圧60KeVの注入条件で注入してアニール処理して拡散し、ソース領域38を形成する。尚、イオン注入される前記n型不純物として、ヒ素イオン(¹⁵As⁺)等を用いても良い。

【0034】次に、図6に示すように前記基板31上の全面にCVD法によりおよそ2000Åの膜厚の酸化膜20から成る絶縁膜39Bを形成した後、図7に示すように全面に前記ソース領域38上を被覆する開口51Aを有するフォトレジスト膜51をマスクにして、前記絶縁膜39B及び絶縁膜33を異方性エッチングして、ドレイン形成領域上面を露出させると共に側壁スペーサ膜39Cを形成する。また、前記レジスト膜51下には、絶縁膜39Bが残膜することになる。

【0035】そして、前記レジスト膜51をマスクにして、基板31の表層にn型不純物、例えばリン(¹¹P⁺)イオンをおよそドーズ量 $1.0 \times 10^{15} / \text{cm}^2$ 、加速電圧40KeVの注入条件で注入してアニール処理してドレイン領域37を形成し、このフォトレジスト膜51を除去する。このとき、素子分離膜32、フローティングゲート34及びコントロールゲート36がマスクになって、基板31の表層にフローティングゲート34及びコントロールゲート36の一端部に隣接するようにソース領域38及びドレイン領域37が自己整合的(セルフアライン)に形成される。尚、イオン注入される前記n型不純物として、ヒ素イオン(¹⁵As⁺)等を用いても良い。

【0036】次に、図8に示すように基板31全面にCVD法でおよそ250Å～350Åの膜厚のシリコン窒化(SiN)膜39Dを形成する。尚、このシリコン窒化膜39Dは、本発明の特徴を成すものであり、後述する層間絶縁膜39から拡散されたH₂Oがメモリセル内(特に、トンネル酸化膜33)に入り込むことを防止するバリアとして働く。このようにバリアとなるシリコン窒化膜39Dが形成されることで、層間絶縁膜39から拡散されたH₂Oが、トンネル酸化膜33内に入り込んで、トラップサイトを形成するがなくなるので、トラップアップレートの改善が図れる。

【0037】 続いて、図9に示すように、基板1上の全面に例えれば、およそ8000Åの膜厚のBPSG膜39Eを形成した後に、平坦化を図るためにSOG膜39Fをおよそ2000Åの膜厚で形成し、SOG膜39F及びBPSG膜39Eを所定量（図9に一点鎖線で示す位置まで）エッチバックする平坦化されている。そして、前記BPSG膜39Eを熱処理することで、絶縁膜39A、39B、39Cやシリコン窒化膜39D、そしてBPSG膜39EとSOG膜39Fから成る層間絶縁膜39を形成する。尚、図9では層間絶縁膜39が平坦化された状態を誇張するために極端に平坦化された状態を図示してあるが、実際には層間絶縁膜39を構成するBPSG膜39Eの表面の中で窪んだ領域があり、この窪んだ領域にSOG膜39Fが残膜して、層間絶縁膜39上にSOG膜39Fが点在することになる。

【0038】 そして、前記層間絶縁膜39上に形成した不図示のフォトレジスト膜をマスクにして層間絶縁膜39にコンタクトホール41を形成し、図10に示すように、前記コンタクトホール41内に不図示のバリアメタル膜を介してタングステン膜から成るコンタクトプラグ40Aを埋設し、コンタクトプラグ40A上にアルミニウム膜40B（例えば、Al膜、Al-Si膜、Al-Cu膜、Al-Si-Cu膜等）を形成し、コンタクトプラグ40A及びアルミニウム膜40Bから成る金属配線40を形成する。これにより、本発明の不揮発性半導体記憶装置が完成する。

【0039】 以上、説明したように本発明の不揮発性半導体記憶装置では、メモリセル全体を被覆するようにシリコン窒化膜39Dが形成されることで、従来のように層間絶縁膜9を構成するSOG膜39Fから拡散されたH、OHが、トンネル酸化膜3内に入り込んでトラップサイトを形成することが抑止されるので、トラップアップレートの改善が図れる。

【0040】 ここで、本発明装置におけるサイクル寿命（データ書き換え回数、E/W Cycle）の測定結果を、図14に示すと、データ書き換え回数が、およそ10万回に達しても累積不良率は50%に過ぎず、累積不良率が100%になるのは、およそ16万回程度となり、サイクル寿命が向上していることがわかる。

【0041】 また、図2に示すようなフローティングゲート34の上部に先鋒な角部を形成する製造方法について、図11乃至図13に基づき説明する。

【0042】 先ず、図11において、P型のシリコン基板31の表面を熱酸化してゲート酸化膜33Aを形成し、このゲート酸化膜33A上にリンドープされて導電化されたポリシリコン膜54を形成し、このポリシリコン膜54上に所定のパターンの開口55Aを有するシリコン窒化膜55Aを形成した後に、この開口55Aに応じて前記ポリシリコン膜54を選択酸化して選択酸化膜35を形成する。

【0043】 次に、図12に示すように、前記選択酸化膜35をマスクにして前記ポリシリコン膜54を異方性エッチングして上部に先鋒な角部34Aを有するフローティングゲート34を形成する。

【0044】 続いて、図13に示すように、前記フローティングゲート34を被覆するようにトンネル酸化膜33を形成し、このトンネル酸化膜33上に導電化されたポリシリコン膜とタングステンシリサイド（WSix）膜から成る積層膜を形成した後に、この積層膜をバターニングしてトンネル酸化膜33を介して前記フローティングゲート34上に重なる領域を持つようにコントロールゲート36を形成するものである。このように先鋒な角部34Aが形成されることで、データの消去動作時にフローティングゲート34の端部で電界集中が生じ易くなり、消去特性が向上する。

【0045】 また、本発明の実施形態において、前述したCVD酸化膜等から成るトンネル酸化膜33に窒化処理を施すこと、更なるトラップアップレートの改善が図れ、データの書き換え回数を延ばすことができる。即ち、トラップアップレート悪化の要因として、コントロールゲート36とトンネル酸化膜33との界面部分には前記フローティングゲート34から飛び出し、コントロールゲート36との電界で加速されエネルギーを持った電荷（電子）に起因してトラップサイトが発生し易く、このトラップサイトの発生領域で消去動作時にフローティングゲート34から飛び出した電荷（電子）がトラップされるため、消去効率が低下するものと考えられる。そこで、そのトラップサイト発生領域に対応するトンネル酸化膜33部分に窒素原子を含有させることで、その領域のO-Si-Oの形を取らないダングリングボンドの未結合手を3価の窒素原子によってターミネートすることができるようになり、ダングリングボンドを抑制することができる。従って、電荷（電子）トラップサイトとなるダングリングボンドの発生が抑制されたため、消去動作時にフローティングゲート34から飛び出した電荷（電子）がトラップされる割合が減少し、消去効率の低下を抑制することができる。更に言えば、CVD酸化膜の窒化処理は、CVD酸化膜を形成した後に、窒化雰囲気中の熱拡散炉やLP（減圧）CVD炉内でN₂O（あるいはNOやNH₃）アニュールするものである。

【0046】 尚、本発明の実施形態では、スプリットゲート型フラッシュメモリに本発明を適用した実施の形態について説明したが、本発明はこれに限らず、スタックトゲート型フラッシュメモリに適用しても良い。

【0047】

【発明の効果】 本発明によれば、メモリセル全体を被覆するようにシリコン窒化膜から成るバリア膜を形成することで、従来のように層間絶縁膜を構成するSOG膜からH、OH等が拡散してトンネル酸化膜内に入り込んでトラップサイトを形成することを抑止できるので、トラ

ップアップレートの改善が図れ、データの書き換え回数を延ばすことができ、メモリセルの動作寿命を延長させることができる。

【0048】また、トンネル酸化膜に窒化処理を施すことで、更なるトラップアップレートの改善が図れ、データの書き換え回数を延ばすことができ、メモリセルの動作寿命を延長させることができる。

【図面の簡単な説明】

【図1】本発明の不揮発性半導体記憶装置のメモリセルの構造を示す平面図である。

【図2】図1の一部断面図である。

【図3】本発明の不揮発性半導体記憶装置の製造方法を示す断面図である。

【図4】本発明の不揮発性半導体記憶装置の製造方法を示す断面図である。

【図5】本発明の不揮発性半導体記憶装置の製造方法を示す断面図である。

【図6】本発明の不揮発性半導体記憶装置の製造方法を示す断面図である。

【図7】本発明の不揮発性半導体記憶装置の製造方法を示す断面図である。

【図8】本発明の不揮発性半導体記憶装置の製造方法を示す断面図である。

【図9】本発明の不揮発性半導体記憶装置の製造方法を示す断面図である。

【図10】本発明の不揮発性半導体記憶装置の製造方法を示す断面図である。

【図11】本発明の不揮発性半導体記憶装置の製造方法を示す断面図である。

【図12】本発明の不揮発性半導体記憶装置の製造方法を示す断面図である。

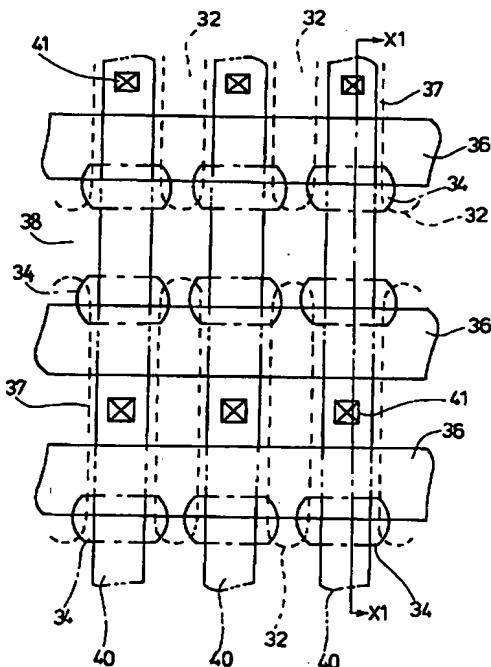
【図13】本発明の不揮発性半導体記憶装置の製造方法を示す断面図である。

【図14】本発明と従来の不揮発性半導体記憶装置のデバイス特性を示す図である。

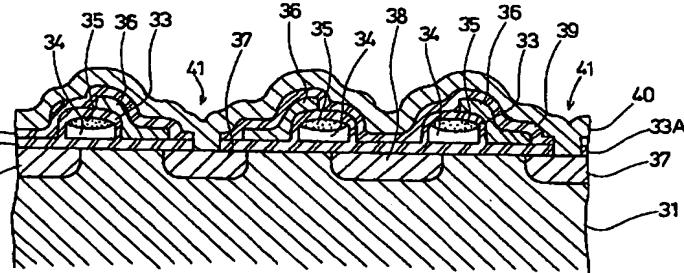
【図15】従来の不揮発性半導体記憶装置のメモリセルの構造を示す平面図である。

【図16】図15の一部断面図である。

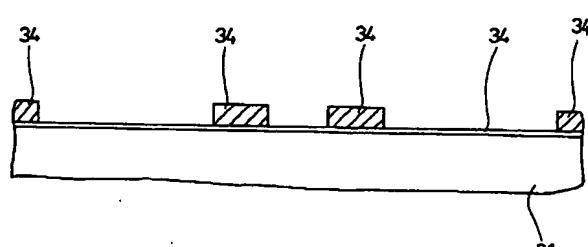
【図1】



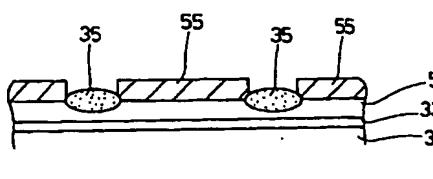
【図2】



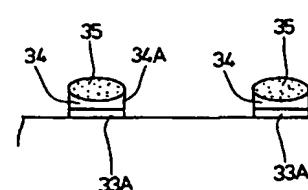
【図3】



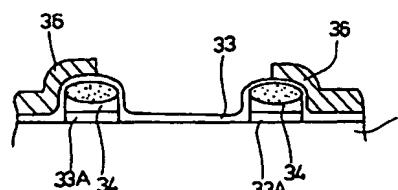
【図11】



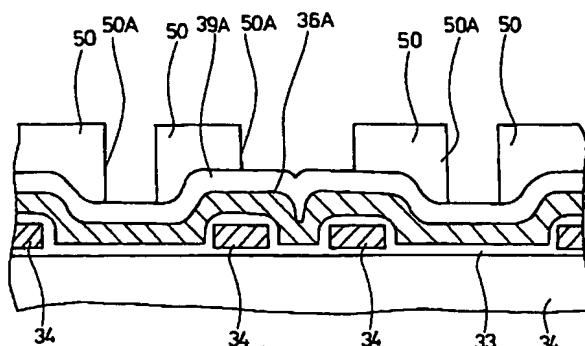
【図12】



【図13】



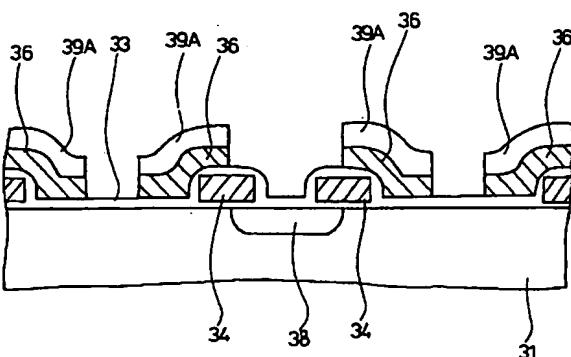
【図4】



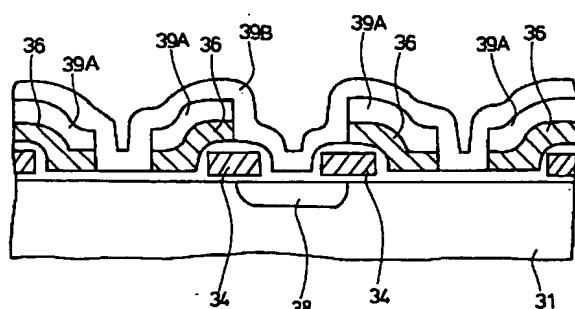
36A: 運電膜

50: フォトレジスト膜

【図5】

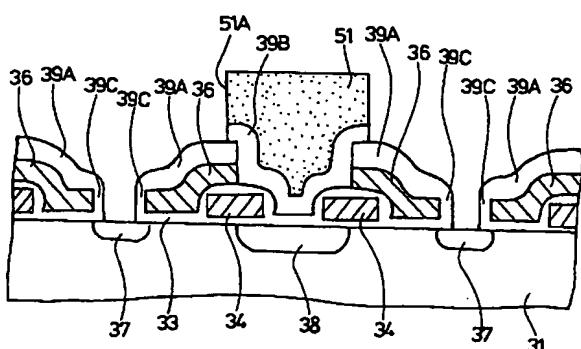


【図6】



39B: 被絶縁膜

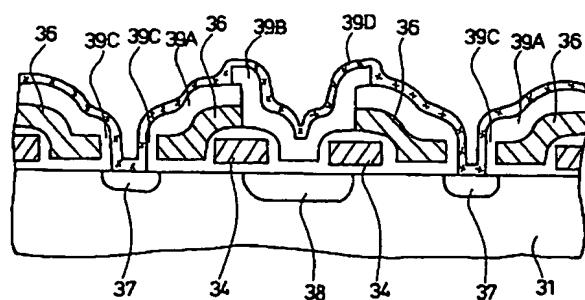
【図7】



39C: 側壁スペーサー膜

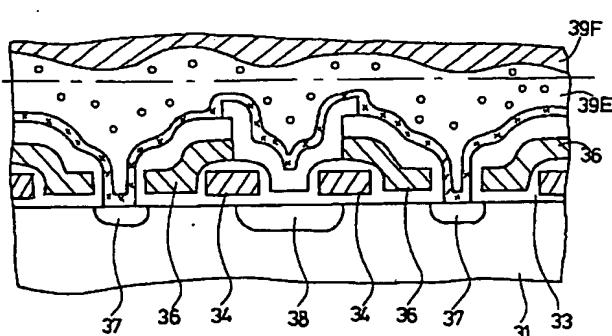
51: フォトレジスト膜

【図8】



39D: シリコン窒化膜

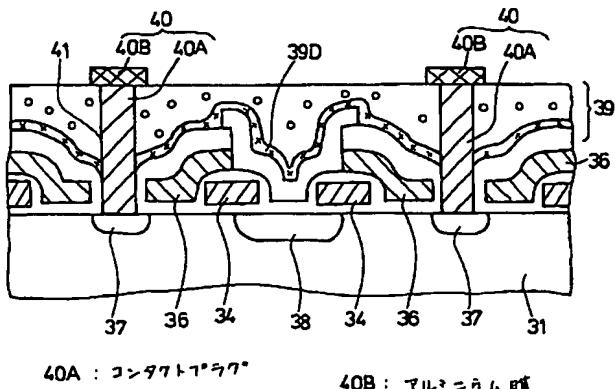
【図9】



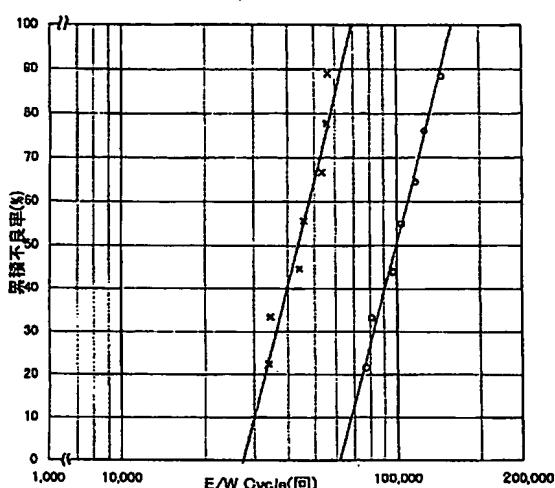
39E: BPSG膜

39F: SOG膜

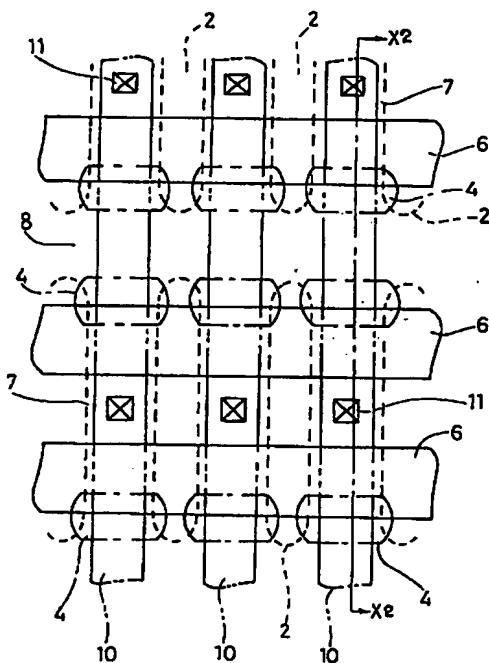
【図 10】



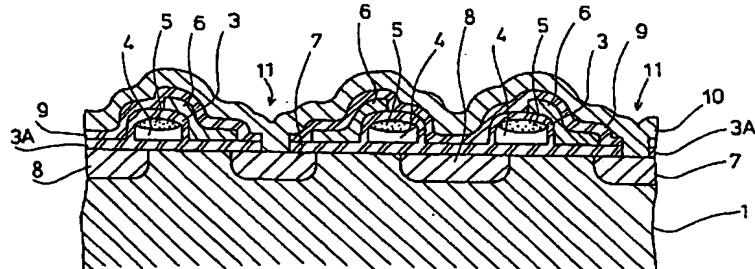
【図 14】



【図 15】



【図 16】



フロントページの続き

(72)発明者 北爪 和俊

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(72)発明者 畑上 秀夫

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

F ターム(参考) 5F001 AA21 AA22 AA25 AA43 AA63

AB03 AB08 AB09 AC02 AC06

AC20 AC61 AD12 AD41 AD94

AE02 AE08 AF07 AG12 AG21

AG22 AG23

5F083 EP02 EP24 EP60 ER02 ER05

ER14 ER17 ER21 GA21 JA05

JA35 JA36 JA37 JA39 JA53

JA56 MA05 MA06 MA20 PR12

PR15 PR21 PR29 PR36